



Practitioner's Docket No. 1406/176

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Doerr et al.

Application No.: 10/692,628

Group No.: 2838

Filed: October 24, 2003

Examiner: Not Assigned

For: QUANTIZER FOR A SIGMA DELTA MODULATOR, AND SIGMA DELTA MODULATOR

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF CERTIFIED COPY**

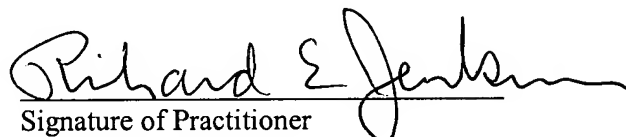
Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: DE

Application Number: 10254651.7

Filing Date: 11/22/2002

Date: 3-19-04

  
Signature of Practitioner

Richard E. Jenkins  
Registration No. 28,428

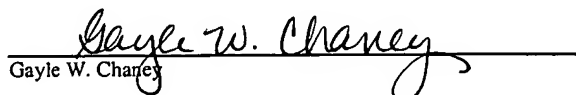
1406/176 REJ/gwc  
Customer No.: 25297

---

**CERTIFICATE OF MAILING (37 C.F.R. § 1.8(a))**

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: 3-19-04

  
Gayle W. Chaney

**WARNING:** "Facsimile transmissions are not permitted and if submitted will not be accorded a date of receipt" for "(4) Drawings submitted under §§ 1.81, 1.83 through 1.85, 1.152, 1.165, 1.174, 1.437 . . . ." 37 C.F.R. § 1.6(d)(4).

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 54 651.7

**Anmeldetag:** 22. November 2002


**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Quantisierer für einen Sigma-Delta-Modulator und  
Sigma-Delta-Modulator

**IPC:** H 03 M 3/02

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. September 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag



Brosig

Quantisierer für einen Sigma-Delta-Modulator und Sigma-Delta-Modulator

Die Erfindung betrifft Quantisierer für einen Sigma-Delta-Modulator mit wenigstens einer Vorstufe, wobei der Quantisierer ein an ihm anliegendes Eingangssignal entsprechend wenigstens eines Schwellwertsignals quantisiert und als Ergebniswert an einem digitalen Ergebnisausgang ausgibt, sowie einen Sigma-Delta-Modulator mit einem solchen Quantisierer.

10

Die Sigma-Delta ( $\Sigma\Delta$ ) Modulation hat in den letzten Jahren zunehmende Bedeutung im Bereich der Analog/Digital (A/D)- und Digital/Analog (D/A)-Umwandlung gewonnen. Dies ist vor allen Dingen auf die geringen Ansprüche an die analogen Komponenten von  $\Sigma\Delta$ -Umsetzern zurückzuführen. Digitale Schaltungen gewinnen heutzutage in der Signalverarbeitung immer mehr an Bedeutung. Um Signale aus der analogen Umwelt zu konvertieren und anschließend digital verarbeiten zu können, sind A/D Wandler nötig. Es ist erstrebenswert, Wandler und die übrige digitale Schaltung auf einem einzigen Chip zu integrieren. Da meist der digitale Anteil die Chipfläche dominiert, bestimmt dieser auch die Schaltungstechnologie. Digitale Prozesstechnologien erschweren jedoch die Herstellung von präzisen analogen integrierten Schaltungskomponenten, bei denen sehr hohe Genauigkeiten und geringe Fertigungsschwankungen gefordert sind. Hier kommt die Einfachheit und Robustheit analoger Komponenten der Sigma-Delta-Modulatoren zum Tragen, die Sigma-Delta-Umsetzer für Implementierungen in beispielsweise einer digitalen VLSI-Technologie prädestinieren.

20  
25  
30

Ein weiterer Vorteil der Sigma-Delta-Modulatoren liegt darin, dass diese weniger Strom als herkömmliche A/D-Wandler benötigen, was sie auch in dem wichtigen Bereich der tragbaren Empfänger qualifiziert. Ebenso zeichnen sie sich durch eine höhere Signal Bandbreite aus, was sie interessant für den Anwendungsbereich in der xDSL-Transceiver-Technik macht.

35

Problematisch bei Sigma-Delta-Modulatoren ist, gerade zu höheren zu wandelnden Frequenzen hin, dass durch Laufzeitverzögerungen in den einzelnen Komponenten (Excess Loop Delay) Fehler auftreten, was die Anwendung zu hohen Frequenzen ( $>1$  GHz) hin beschränkt. Siehe zu der Problematik der Excess Loop Delays auch: J. A. Cherry, W. M. Snelgrove, „Continuous-Time Delta-Sigma Modulator for High Speed A/D Conversion“, Kluwer Academic Publishers 2000, Seite 75-103.

Ein bekannter Weg diese durch Laufzeitunterschiede induzierten Fehler auszugleichen der aus P. Benabes, M. Keramat, R. Kielbasa, „A methodology for designing continuous-time sigma-delta modulators“, IEEE European Design and Test Conference 1997, Seite 45-50 bekannte Ansatz einen zusätzlichen Rückkopplungskreis (inner loop) einzuführen, der durch einen zusätzlichen Addierer zwischen dem Quantisierer und dem letzten davor befindlichen Integrierer gebildet ist.

In Figur 1 ist ein solcher zeitkontinuierlichen Sigma-Delta-Modulator zweiter Ordnung mit zwei Vorstufen  $V_1$  und  $V_2$  sowie mit Korrekturmitteln  $b_3$  und  $110$  gezeigt. Das am Eingang IN anliegende zu wandelnde Signal  $x$  wird über zwei Integrierer  $14_1$  und  $14_2$ , denen jeweils ein Addierer  $13_1$  bzw.  $13_2$  zur Verknüpfung mit dem Rückkopplungssignal vorgeschaltet ist, dem Quantisierer 12 an dessen Eingang  $E_0$  zugeführt. Zuvor jedoch wird das zu quantisierende Signal noch über den zusätzlich im Signalweg angeordneten Addierer 110 nochmals mit dem Rückkopplungssignal versehen mit dem durch  $b_3$  vorherbestimmten Faktor verknüpft. Hierdurch wird der Einfluss der Laufzeit in den einzelnen Komponenten berücksichtigt und ausgeglichen. Zur weiteren Ausgestaltung siehe: J. A. Cherry, W. M. Snelgrove, „Continuous-Time Delta-Sigma Modulator for High Speed A/D Conversion“, Kluwer Academic Publishers 2000, Seite 75-103.

Nachteilig bei dieser Anordnung ist jedoch, dass im Signalweg ein hochgenaues aktives Bauelement (zusätzlicher Addierer)

vorzusehen ist, mit den damit verbundenen Schwierigkeiten bezüglich Herstellungsverfahren und -schritten, Layoutdesign und Ausschuss bei der Herstellung. Weiterhin nachteilig ist, dass der Stromverbrauch hierdurch erheblich erhöht wird, wodurch die Anwendungsbereiche gerade bei tragbaren und zwin-  
5 gend Stromsparenden Anwendungen beschränkt werden.

Aufgabe der Erfindung ist es daher, einen Quantisierer für einen Sigma-Delta-Modulator und einen Sigma-Delta-Modulator  
10 mit einem solchen Quantisierer zur Verfügung zu stellen, bei dem eine Kompensation der Laufzeiten durch die einzelnen Komponenten erfolgt, wobei jedoch im Signalweg kein zusätzliches Bauelement vorgesehen ist.

15 Diese Aufgabe wird durch einen Quantisierer mit den Merkmalen des Anspruchs 1 oder des Anspruchs 13 gelöst, und durch einen Sigma-Delta-Modulator der die Merkmale des Anspruchs 24 aufweist, gelöst.

20 Erfindungsgemäß ist vorgesehen, dass der Quantisierer mindestens eine Quantisierungs-Zelle entsprechend der Anzahl seiner Auflösungsstufen enthält, wobei jede Quantisierungs-Zelle einen Eingangs-Spannungs-Strom-Konverter aufweist, welcher das zu quantisierende Eingangssignal in einen entsprechenden  
25 Eingangs-Strom an seinem Ausgang wandelt, dass der wenigstens einen Quantisierungs-Zelle eine statische Schwellwert-Stromquelle zugeordnet ist, welche einen statischen Anteil zum Schwellwertssignal in Form eines statischen Schwellwert-Stromes liefert, dass eine dynamische Rückkoppel-Stromquelle  
30 vorgesehen ist, welche einen vom digitalen Ergebniswert abgeleiteten Rückkoppel-Strom generiert, welcher Rückkoppel-Strom zum statischen Schwellwert-Strom in einem Strom-Knoten addiert wird, dass der aus statischem Schwellwert-Strom und Rückkoppel-Strom zusammengesetzte Schwellwert-Strom zum Ein-  
35 gangs-Strom in dem Strom-Knoten addiert wird, dass eine Vergleichseinheit vorgesehen ist, welche entscheidet, ob der am

Strom-Knoten vorliegende Summenstrom ungleich Null ist, und entsprechend ein digitales Ergebnis liefert.

Die Erfindung schlägt vor, die ganze Architektur des Quanti-  
sierers auf Bewertung von Strömen auszulegen. Das hat insbe-  
sondere dann einen enormen Vorteil, wenn der sowieso für das  
Rückkoppelsignal vorhandene Digital-Analog-Wandler eines Sig-  
ma-Delta-Modulators mit Strombewertungen arbeitet („current  
steering DACs“). Hierzu wird das Eingangssignal, dessen In-  
formation in seiner Signalspannung enthalten ist, in einen  
Signalstrom gewandelt. Dieser Strom wird zu einem dynamischen  
Referenzstrom addiert, welcher sich aus dem statischen  
Schwellwert-Strom und dem vom digitalen Ergebniswert abgelei-  
teten Rückkoppel-Strom zusammensetzt. Zu entscheiden ist dann  
nur noch, ob die Summe der Ströme größer Null ist oder nicht.

Gemäß der Erfindung wird der Summierknoten nahe an den Ein-  
gang der Vergleichseinheit vorgesehen, ohne dass ein weiterer  
analoger Baustein im Signalweg davor liegt. Zudem wird das  
Layout einer integrierten Schaltung, die einen solchen Quan-  
tisierer bildet, vereinfacht. Die Verarbeitungsgeschwindig-  
keit der dynamischen Stromquelle für den Referenzstrom kann  
geringer sein als die des Eingangs-Spannungs-Strom-  
Konverters, da das zu bewertende Signal nicht hierdurch  
läuft. Dies führt zu vorteilhaften Stromverbrauchseinsparun-  
gen. Hierdurch wird die gesamte Stromaufnahme des Systems so  
stark reduziert, dass es für tragbare, batteriebetriebene  
Anwendungen problemlos verwendbar wird. Zudem ist die Verar-  
beitungsgeschwindigkeit erhöht, was insbesondere für den An-  
wendungsbereich in der xDSL-Technik Verwendungen erschließt.

Eine bevorzugte Ausgestaltung der Erfindung sieht vor, dass  
zur Gewinnung des aus dem digitalen Ergebniswert abgeleiteten  
analogen Rückkoppel-Stromes ein Digital-Analog-Wandler vorge-  
sehen ist, welcher ein dem Ergebniswert entsprechendes Span-  
nungssignal zur Ableitung des Rückkoppel-Stromes liefert.

Von Vorteil ist der Digital-Analog-Wandler derart ausgebildet, dass dieser als analoges Ausgangssignal den Rückkoppel-Strom direkt liefert.

- 5 Eine Ausgestaltung der Erfindung sieht vor, dass der Eingangs-Spannungs-Strom-Konverter ein mittels des Eingangssignals an einem Basis-Eingang angesteuerter Transistor ist.

- 10 Bevorzugterweise ist jeder Quantisierungs-Zelle ein Schwellwertsignal zugeordnet, welches sich von den Schwellwertsignalen weiterer Quantisierungs-Zellen verschieden ist.

Von Vorteil weisen die Schwellwertsignale zueinander feste Differenzen auf.

15

Vorteilhafterweise ist eine Verstärkungsstufe vorgesehen, welche den Strom am Strom-Knoten vor dessen Bewertung durch die Vergleichseinheit verstärkt.

- 20 Von Vorteil ist als Vergleichseinheit ein Latch vorgesehen.

Dem folgend ist gemäß einer Ausgestaltung der Erfindung vorgesehen, dass das Latch einen Komparator und eine Sample-and-Hold-Vorrichtung aufweist.

25

Eine bevorzugte Ausgestaltung der Erfindung sieht vor, dass der Quantisierer symmetrisch mit einem positiven und einem negativen Signalweg und entsprechend mit einem positiven Signal-Eingang für ein positives Eingangssignal und mit einem  
30 negativen Signal-Eingang für ein negatives Eingangssignal ausgestaltet ist.

- 35 Dem folgend sieht eine weitere Ausgestaltung der Erfindung vor, dass zwischen dem positiven und dem negativen Signalweg ein Gegenkopplungswiderstand („degeneration resistor“) vorgesehen ist.

Von Vorteil ist eine dynamische Rückkoppel-Stromquelle für alle Quantisierungs-Zellen vorgesehen.

5 Jeder Quantisierungs-Zelle ist von Vorteil eine eigene statische Schwellwert-Stromquelle zugeordnet.

Gemäß eines weiteren Aspekts der Erfindung ist vorgesehen, dass der Quantisierer sich dadurch auszeichnet, dass der Quantisierer wenigstens eine Quantisierungs-Zelle  
10 entsprechend der Anzahl seiner Auflösungsstufen enthält, wobei jede Quantisierungs-Zelle einen Spannungskomparator aufweist, welcher Spannungskomparator das Eingangssignal-Spannung mit der Schwellwertsignal-Spannung vergleicht und im Falle des Übersteigens oder Unterschreitens des Schwellwertsignals durch das Eingangssignal ein entsprechendes digitales Ergebnisbit (0/1) ausgibt, wobei ein digitaler Addierer vorgesehen ist, welcher den digitalen Ergebniswert der letzten Bewertung der Komparatoren des Quantisierers auf die  
15 Schwellwertsignal-Spannungen aufaddiert, indem er die  
20 Schwellwertsignal-Spannungen um dem digitalen Ergebniswert entsprechende Stufen erhöht oder verringert.

Vorteilhafterweise ist dem Addierer ein Schaltwerk zugeordnet, welches Schaltwerk Schalter aufweist, denen eingangsseitig die Teil-Spannungen des Referenzspannungsgenerators an-  
25 liegen, und die ausgangsseitig mit den Eingängen für die Schwellwertsignal-Spannungen der Komparatoren verbunden sind, wobei die Schalter durch das Ausgangssignal des Addierers gesteuert werden.

30

Bevorzugterweise generiert der Referenzspannungsgenerator die Teil-Spannungen, welche mittels Schaltern entsprechend dem digitalen Ergebniswert und/oder der gewünschten Schwellwertsignal-Spannung am jeweiligen Komparator zur Bewertung des  
35 Eingangssignals beaufschlagt werden können.



Der Quantisierer ist nach einer vorteilhaften Ausgestaltung symmetrisch mit einem positiven und einem negativen Signalweg und entsprechend mit einem positiven Signal-Eingang für ein positives Eingangssignal und mit einem negativen Signal-Eingang für ein negatives Eingangssignal ausgestaltet.

Bevorzugterweise ist ein Referenzspannungsgenerator vorgesehen ist, der die für jeden Spannungskomparator unterschiedlichen Schwellwertssignal-Spannungen generiert, wobei die Schwellwertssignal-Spannungen in Teil-Spannungen wählbar sind.

Von Vorteil sind die Komparatoren durch zeitkontinuierliche Spannungskomparatoren ausgebildet.

Bevorzugterweise ist ein Latch vorgesehen, welches das durch die Komparatoren gelieferte Ergebnis speichert.

Die Erfindung betrifft weiterhin einen Sigma-Delta-Modulator mit wenigstens einer Vorstufe und mit einem Quantisierer der nach einer der vorgenannten Varianten ausgestaltet ist.

Weitere Vorteile, Besonderheiten und zweckmäßige Weiterbildungen der Erfindung ergeben sich aus den weiteren Unteransprüchen oder deren Unterkombinationen.

Nachfolgend wird die Erfindung anhand der Zeichnung weiter erläutert.

Dabei zeigt:

Fig. 1 einen zeitkontinuierlichen Sigma-Delta-Modulator nach dem Stand der Technik,

Fig. 2 eine erste Ausführungsform des erfindungsgemäßen Sigma-Delta-Modulators mit einem erfindungsgemäßen Quantisierer im Strom-Modus,

Fig. 3 ein schematisches Blockschaltbild einer Quantisierungs-Zelle gemäß einer ersten Ausführungsform der Erfindung,

5 Fig. 4 eine konkrete Realisierung einer Quantisierungs-Zelle aus Figur 3,

10 Fig. 5 ein Prinzipschaltbild eines herkömmlichen Quantisierers, der nach dem Prinzip des Spannungsvergleichs arbeitet,

15 Fig. 5a eine zweite Ausführungsform des erfindungsgemäßen Sigma-Delta-Modulators mit einem erfindungsgemäßen Quantisierer im Spannungs-Modus,

Fig. 6 ein schematisches Blockschaltbild des Quantisierers im Spannungs-Modus,

20 Fig. 7 eine konkrete Ausführung des erfindungsgemäßen Quantisierers mit einer Widerstandskette zur Erzeugung der einzelnen Spannungen und einem von einem Addierer gesteuerten Schaltwert,

25 Fig. 8 eine konkrete Ausgestaltung des Schaltwerks, welches die Teil-Referenzspannungen auf die Eingänge der Komparatoren schaltet,

Fig. 9 eine Tabelle, welche konkrete Spannungswerte nach einem Beispiel zeigt, und

30

Fig. 10 eine bevorzugte Ausgestaltung eines Komparators gemäß der Erfindung.

35 In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder gleich wirkende Elemente.

Das neue Prinzip ist die Summation des Rückkoppelsignals zu den Schwellwertsignalen der Komparatoren.

Die Figuren 2 bis 4 zeigen einen Quantisierer gemäß einer ersten Ausführungsform der Erfindung.

Figur 2 zeigt das Prinzipschaltbild eines erfindungsgemäßen Sigma-Delta-Modulators 10 mit einem Quantisierer 1 nach dem Stromsummations-Prinzip und zwei Vorstufen 2, wobei der Quantisierer 1 das an ihm anliegende Eingangssignal 21 quantisiert und als Ergebniswert 22 am einem digitalen Ergebnisausgang 23 ausgibt.

Zur Gewinnung des aus dem digitalen Ergebniswert 22 abgeleiteten analogen Rückkoppel-Signales für den Sigma-Delta-Modulators ist ein Digital-Analog-Wandler 3 vorgesehen.

Die zur Kompensation vorgesehene Verzögerung von 1/2 Taktzyklus durch das Verzögerungsglied 4 ist hier nur beispielhaft zu sehen, und kann in praxi je nach Ausführung des Quantisierers und seiner Außenbeschaltung variieren. Ein solches Verzögerungsglied kann von Nutzen sein, wenn schaltungsbedingt Laufzeitdifferenzen bei unterschiedlichen Eingangssignalen und damit verschiedenen Ergebnissen der Quantisierung auftreten. Das Verzögerungsglied, das an den Takt gekoppelt ist, gleicht dann solche Laufzeitdifferenzen aus. Die konkrete Ausgestaltung der Schaltung des Quantisierers ist dementsprechend an die Laufzeitverzögerung angepasst. Dementsprechend ist auch das Anpassungsglied 3a ausgestaltet, dass das analoge Signal mit dem Faktor  $b_3$  belegt, siehe hierzu auch: J. A. Cherry, W. M. Snelgrove, „Continuous-Time Delta-Sigma Modulator for High Speed A/D Conversion“, Kluwer Academic Publishers 2000, Seite 75-103.

Der entscheidende Vorteil der Erfindung liegt darin, dass der Vergleich

$$V_{IN} > (V_{th1} + b_3 \cdot V_{dac})$$

durch die einzelnen Stufen (i) des Quantisierers vorgenommen und bewertet wird, und nicht mehr wie bisher im Stand der Technik

5

$$(V_{IN} - b_3 \cdot V_{dac}) > V_{th_i}$$

was ein aktives Summationsglied im Signalweg vor dem Quantisierer notwendig macht. Wobei  $V_{IN}$ : Eingangssignal,  $b_3$ : Anpassungsfaktor (beispielsweise 1/2),  $V_{dac}$ : Ausgabewert des Digital-Analog-Wandlers.

10

Die Anpassung an den vorherigen Ergebniswert erfolgt bei der Erfindung dynamisch bei jeder Bewertung auf neue. So ist eine hochgenaue Digitalisierung bei sehr hoher Abtastrate ermöglicht.

15

Figur 3 zeigt schematisch eine Quantisierungs-Zelle 40, welche entsprechend der Anzahl der Auflösungsstufen des Quantisierers 1 vorhanden ist. Jede Quantisierungs-Zelle 40 weist einen Eingangs-Spannungs-Strom-Konverter 41 auf, welcher das zu quantisierende Eingangssignal 21 in einen entsprechenden Eingangs-Strom 42 an seinem Ausgang 43 wandelt.

20

Das so gewonnene Signal 42 wird mit dem Rückkoppel-Strom 45 in einem Strom-Knoten 46 addiert. Der Rückkoppel-Strom 45 wird hierzu durch eine dynamische Rückkoppel-Stromquelle 44 entsprechend des digitalen Ergebniswerts 22 generiert.

25

Das aufaddierte Signal wird noch durch eine Verstärkungsstufe 48 („pre-amplifier“) für ein die Vergleichseinheit enthaltenes Latch 47 vorbereitet. Das Latch enthält zusätzlich noch eine sample-and-hold-Stufe, damit die Ergebnisbits korrekt weiterverarbeitet werden können.

30  
35

Figur 4 zeigt eine bevorzugte Ausgestaltung des Quantisierers mit einem linearen Strom/Spannungs-Konverter 44a und 44b und einer gewöhnlichen gm-Stufe.

5 Der Quantisierer 1 ist symmetrisch mit einem positiven und einem negativen Signalweg und entsprechend mit einem positiven Signal-Eingang 21a für ein positives Eingangssignal und mit einem negativen Signal-Eingang 21b für ein negatives Eingangssignal versehen. Die beiden Signalwege sind vermittle  
10 eines zwischen dem positiven und dem negativen Signalweg geschaltetem Gegenkopplungswiderstand („degeneration resistor“) 5 miteinander verbunden. Entsprechend sind die Rückkoppel-Stromquellen 44a und 44b, die Eingangs-Spannungs-Strom-Konverter 41a und 41b, die Strom-Knoten 46a und 46b, und die  
15 Schwellwert-Stromquelle 49a und 49b doppelt ausgebildet.

Durch die Anordnung ergibt sich für den Übertragungswirkleitwert  $G_m$  („transconductance“):

20 
$$G_m = (g_m/2 * 1/R_{deg}) / (g_m/2 + 1/R_{deg})$$

wobei  $g_m$  der Übertragungswirkleitwert des Transistors 411a und 411b und  $R_{deg}$  der Widerstandswert des Gegenkopplungswiderstands 5 ist.

25 Der Quantisierungs-Zelle 40 ist eine - wieder doppelt ausgebildete - statische Schwellwert-Stromquelle 49a, 49b zugeordnet, die das der Stufe (i) des Quantisierers entsprechende Schwellwertssignal in Form eines Schwellwert-Stromes  $I_{ref}$   
30 liefert, wobei der Schwellwert-Strom zum aus INP und INN abgeleiteten Eingangs-Strom und zum Rückkoppel-Strom  $I_{dac}$  in den Strom-Knoten 46a und 46b addiert wird.

Der Eingangs-Spannungs-Strom-Konverter (41a und 41b) ist jeweils durch einen Transistor (411a und 411b) ausgebildet,  
35 welcher mittels des Eingangssignals an seinem Basis-Eingang angesteuert wird.

Die Verstärkungsstufe 48 ist vorgesehen, um das Signal des Stroms an dem Strom-Knoten 46a, 46b vor dessen Bewertung durch die Vergleichseinheit zu verstärken. Die Vergleichseinheit 47 entscheidet, ob der verstärkte Summenstrom ungleich Null ist, und liefert entsprechend ein digitales Ergebnis.

Zum Prinzip des Vergleichs von Spannungen anstelle des Vergleichs von Strömen sind Quantisierer nach dem in Figur 5 gezeigten Aufbau bekannt.

Hierbei wird mittels in einer Widerstandskette 91 angeordneter Widerstände 92 eine zueinander gleichmäßige Differenzen aufweisende Teil-Referenzspannung aus einer zwischen +Vref und -Vref gebildeten Spannung erzeugt welche die Schwellwertsignal-Spannung 63<sub>i</sub> der einzelnen Quantisierungs-Zellen 40 bilden.

Im gezeigten Beispiel sind die sieben statischen Schwellspannungen der Komparatoren bezüglich Vref:

$$+6/7, +4/7, +2/7, 0, -2/7, -4/7, -6/7$$

diese werden den einzelnen Quantisierungs-Zellen 40 zugeführt, welche dann jeweils diese Teil-Referenzspannung  $V_{th_i}$  mit dem Eingangssignal vergleichen.

Die Teil-Referenzspannungen sind fest, daher muss eine Anpassung des Eingangssignals  $V_{IN}$  an das Ergebnis  $V_{dac}$  zu Rückkopplungszwecken erfolgen. Es wird also wieder der Vergleich

$$( V_{IN} - b_3 \cdot V_{dac} ) > V_{th_i}$$

vorgenommen, was wieder ein aktives Summationsglied im Signalweg vor dem Quantisierer notwendig macht, mit den bereits erwähnten nachteilen. Wobei  $V_{IN}$ : Eingangssignal,  $b_3$ : Anpass-

sungsfaktor (beispielsweise  $1/2$ ),  $V_{dac}$ : Ausgabewert des Digital-Analog-Wandlers.

Die Figuren 5a bis 10 zeigen einen Quantisierer 1 gemäß einer weiteren Ausführungsform der Erfindung, bei der ein Quantisierer sich jedoch durch die Spannungs-Summation auszeichnet.

Figur 5a zeigt den groben Prinzipaufbau des Sigma-Delta-Modulators 10 mit zwei Vorstufen 2. Da jedoch hier Spannungen, und nicht wie nach der ersten Ausführungsform der Erfindung Ströme, verarbeitet werden, braucht der Analog-Digital-Wandler 3 nicht mehr im Signalweg zwischen Ausgang 23 - mit anliegendem Ergebnis 22 - und dem Quantisierer 1 zu liegen.

Es wird wieder gegenüber dem Stand der Technik der Vorteil erreicht, dass auf ein Additionsglied im Signalweg vor dem Eingang des Quantisierers verzichtet werden kann. Es wird bei den Quantisierungs-Zellen wieder der Vergleich

$$V_{IN} > (V_{th_i} + b_3 \cdot V_{dac})$$

durch die einzelnen Stufen (i) des Quantisierers vorgenommen und das Ergebnis bewertet. Wobei  $V_{IN}$ : Eingangssignal,  $b_3$ : Anpassungsfaktor (beispielsweise  $1/2$ ),  $V_{dac}$ : Ergebniswert der vorherigen Bewertung.

Figur 6 zeigt eine Realisierung eines Quantisierers 1, bei dem die Addition des Rückkoppelwertes ( $IN\_DAC<0:6>$ ) schon in der rein digitalen Domäne vorgenommen wird. Ein Digital-Analog-Wandler wird hierzu nicht benötigt. Die Teil-Referenzspannungen werden wieder beispielsweise durch eine Widerstandskette erzeugt.

Ein digitaler Addierer 66 ist vorgesehen, welcher den digitalen Ergebniswert 22 ( $IN\_DAC<0:6>$ ) der letzten Bewertung der Komparatoren 61 des Quantisierers 1 auf die Schwellwertsignal-Spannungen aufaddiert, indem er die Schwellwertsignal-

Spannungen  $63_i$  um dem digitalen Ergebniswert entsprechende Stufen erhöht oder verringert. Hierzu werden Schalter 67 entsprechend geöffnet oder geschlossen.

- 5 Die Anpassung an die Laufzeitunterschiede durch den Faktor  $b_3$  kann hierbei in dem Addierer 66 selbst erfolgen, welcher entsprechend dem Additionsergebnis mit dem Rückkoppelwert  $IN\_DAC<0:6>$  (Ergebnis der vorherigen Bewertung des Quantisierers) die entsprechenden Schwellwertspannungen mittels der
- 10 Schalter 67 auf die einzelnen Eingänge  $V_{th_i}$  der Quantisierungs-Zellen 40 aufschaltet, welche dann die Bewertung mit dem Eingangssignal  $IN$  zum jeweiligen Ergebnisbit  $Q_i$  vornehmen.

- 15 Der Quantisierer 1 verfügt über mehrere Quantisierungs-Zellen 40 entsprechend der Anzahl seiner Auflösungsstufen.

- Jede Quantisierungs-Zelle 40 weist einen Spannungskomparator 61 auf, welcher Spannungskomparator die Eingangssignal-
- 20 Spannung 62 mit seiner Schwellwertssignal-Spannung  $63_i$  vergleicht und im Falle des Übersteigens oder Unterschreitens des Schwellwertssignals durch das Eingangssignal ein entsprechendes digitales Ergebnisbit (0/1) ( $Q_i$ ) ausgibt.

- 25 Zur Generierung der verschiedenen Schwellwertssignal-Spannungen  $63_i$  ist ein Referenzspannungsgenerator 65 vorgesehen, der jedem Spannungskomparator 61 über die Schalter 67 entsprechend den Ausgangsdaten  $Add<0:6>$  des Addierers 66 eine eigene Schwellwertssignal-Spannung  $63_i$  zuführt. Die Differenzen der einzelnen Schwellwertssignal-Spannung  $63_i$  bleibt
- 30 dabei gleich, es wird jedoch entsprechend dem Ergebnis  $Add<0:6>$  des Addierers 66 das Spannungsniveau jeder Schwellwertssignal-Spannung  $63_i$  entsprechend dem Ergebnis  $IN\_DAC<0:6>$  der vorherigen Bewertung des Quantisierers erhöht
- 35 oder gesenkt.



Entsprechend dem Ergebnis der Summation werden also Teilspannungen  $1/14 \cdot V_{ref}$ ,  $2/14 \cdot V_{ref}$ , ... zur Schwellspannung  $V_{th}$  durch Öffnen und Schließen von Schaltern aufsummiert und auf die Komparatoren 61 geschaltet. Im dargestellten Beispiel und im folgenden ist ein 3-Bit Quantisierer mit 7 Stufen gezeigt, bei dem  $b_3 = 1/2$  gewählt ist (siehe hierzu auch die folgenden Figuren). Es sind hier auch andere Werte und Auflösungen realisierbar.

- 10 Die sieben Schwellspannungen der Komparatoren sind bezüglich  $V_{ref}$  daher nicht mehr fest, zu den Grundspannungen (bezüglich  $V_{ref}$ )

$$+12/14, +8/14, +4/14, 0, -4/14, -8/14, -12/14$$

15

wird bei jedem Taktzyklus entsprechend dem tatsächlichen und augenblicklichen Wert vom Ergebniswert vom digitalen Addierer 66 einer der folgenden Werte zu allen Schwellwert-Spannungen hinzusummiert:

20

$$+7/14, +5/14, +3/14, +1/14, -1/14, -3/14, -5/14, -7/14$$

die sich daraus ergebenden 7 Signale werden mit dem zu bewertendem aktuellen Eingangssignal des Quantisierers durch die Komparatoren verglichen, wodurch das nächste digitale Ergebnis generiert wird.

- Die Anordnung der Komparatoren und die Komparatoren selber können auch wieder symmetrisch mit einem positiven und einem negativen Signalweg ausgebildet sein.

Figur 7 zeigt ein symmetrisch ausgeführtes Beispiel eines Quantisierers 1 mit einem positiven und einem negativen Eingang (nicht dargestellt). Die Referenzspannungen (Schwellwertsignale 25) werden durch eine Widerstandskette 68 erzeugt, welche durch die Schalter 67 entsprechend dem Ergebnis  $IN\_DAC<0:6>$  auf die Quantisierungs-Zellen 40 an deren Eingän-

gen aufgeschaltet werden. Die Quantisierungs-Zellen 40 weisen einen symmetrischen Komparator 61 und eine Latch-Schaltung 69 auf.

5 Der Referenzspannungsgenerator 65 in Figur 7 wird vermittelt einer Widerstandskette 68 gebildet, die die zwischen +Vref und -Vref liegende Spannung in viele Teil-Schwellwertsignal-Spannungen aufteilt, welche mittels Schaltern 67 entsprechend dem digitalen Ergebniswert und/oder der gewünschten Schwellwertsignal-Spannung am jeweiligen Komparator 61 zur Bewertung des Eingangssignals beaufschlagt werden.

10 Der Quantisierer ist wieder symmetrisch mit einem positiven und einem negativen Signalweg und entsprechend mit einem positiven Signal-Eingang (+) für ein positives Eingangssignal (INP) und mit einem negativen Signal-Eingang (-) für ein negatives Eingangssignal ausgestaltet.

15 Figur 8 zeigt genauer eine beispielhafte Ausgestaltung der Schaltungsanordnung eines Schaltwerks mit den einzelnen Schaltern 67 zur Aufschaltung der Schwellwert-Spannungen des Referenzspannungsgenerators auf die Referenzspannungseingänge  $V_{thi}$  der Komparatoren. Weiterhin ist beispielhaft  $b_3$  zu  $1/2$  (0.5) und die Auflösung zu drei Bit bei sieben Schwellspannungen gewählt.

20 Die Verknüpfung der Ergebnisse  $IN\_DAC<0:6>$  der vorherigen Bewertung des Quantisierers mit den Schaltern 67 über die Betätigungsleitungen sel0 bis sel7 ist den in Figur 9 wiedergegeben Tabellen erläutert.

25 Figur 10 zeigt ein Beispiel für die Ausgestaltung der Komparatoren 61, die gemäß dem gezeigten Beispiel als zeitkontinuierliche Spannungs-Komparatoren ausgebildet sind. Die Dioden 101 bzw. 102 sind nur als notwendig Last vorgesehen.

Die Werte an den Ausgängen OUTP und OUTN sind nur dann gleich, wenn die Ströme durch die Dioden 101 und 102 gleich sind. Das ist wiederum nur dann der Fall, wenn

$$5 \quad \quad \quad \text{INP} + V_{thN} = \text{INN} + V_{thP}$$

in allen anderen Fällen sind die Ströme durch die Dioden, und damit die Werte an den Ausgängen OUTP und OUTN ungleich.

- 10 Der erfindungsgemäße Quantisierer 1 nach dem Spannungs-Summationsprinzip mit entsprechenden Quantisierungs-Zellen ist zwar gegenüber dem zuerst vorgestellten Prinzip der Stromsummation etwas langsamer, ist dafür aber genauer, da die für die Erzeugung der Referenzspannungen eingesetzten
- 15 Widerstände hochgenau hergestellt werden können. Weiterhin benötigt die Lösung mit Widerständen weniger Raum auf einem integrierten Halbleiter und kann daher auf der gleichen Fläche mit höherer Auflösung realisiert werden.

## Patentansprüche

1. Quantisierer (1) für einen Sigma-Delta-Modulator (10) mit  
mindestens einer Vorstufe (2), wobei der Quantisierer (1) ein  
5 an ihm anliegendes Eingangssignal (21) entsprechend mindes-  
tens einem Schwellwertssignal (25) quantisiert und als Ergeb-  
niswert (22) an einem digitalen Ergebnisausgang (23) ausgibt,  
d a d u r c h g e k e n n z e i c h n e t,  
dass der Quantisierer (1) mindestens eine Quantisierungs-  
10 Zelle (40) entsprechend der Anzahl seiner Auflösungsstufen  
enthält, wobei jede Quantisierungs-Zelle (40) einen Eingangs-  
Spannungs-Strom-Konverter (41; 41a und 41b) aufweist,  
welcher das zu quantisierende Eingangssignal (21) in einen  
entsprechenden Eingangs-Strom (42) umwandelt, dass der we-  
15 nigstens einen Quantisierungs-Zelle (40) eine statische  
Schwellwert-Stromquelle (49a und 49b) zugeordnet ist, die  
einen statischen Anteil zum Schwellwertssignal (25) in Form  
eines statischen Schwellwert-Stromes ( $I_{ref}$ ) liefert, dass  
eine dynamische Rückkoppel-Stromquelle (44; 44a und 44b) vor-  
20 gesehen ist, welche einen vom digitalen Ergebniswert (22)  
abgeleiteten Rückkoppel-Strom (45; 45a, 45b;  $I_{dac}$ ) generiert,  
welcher Rückkoppel-Strom zum statischen Schwellwert-Strom  
( $I_{ref}$ ) in einem Strom-Knoten (46; 46a und 46b) addiert wird,  
das der aus statischem Schwellwert-Strom und Rückkoppel-Strom  
25 zusammengesetzte Schwellwert-Strom zum Eingangs-Strom in dem  
Strom-Knoten (46; 46a und 46b) addiert wird, dass eine Ver-  
gleichseinheit (47) vorgesehen ist, welche entscheidet, ob  
der an dem Strom-Knoten (46; 46a und 46b) vorliegende Summen-  
strom ungleich Null ist, und entsprechend ein digitales Er-  
30 gebnis liefert.

2. Quantisierer nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t,  
dass zur Gewinnung des aus dem digitalen Ergebniswert (22)  
abgeleiteten analogen Rückkoppel-Stromes (45) ein Digital-  
5 Analog-Wandler (3) vorgesehen ist, welcher ein dem Ergebnis-  
wert entsprechendes Spannungssignal (IN\_DAC) zur Ableitung  
des Rückkoppel-Stromes liefert.

3. Quantisierer nach Anspruch 2,  
10 d a d u r c h g e k e n n z e i c h n e t,  
dass der Digital-Analog-Wandler (3) derart ausgebildet, dass  
dieser als analoges Ausgangssignal den Rückkoppel-Strom (45)  
direkt liefert.

15 4. Quantisierer nach einem der vorherigen Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
dass der Eingangs-Spannungs-Strom-Konverter (41; 41a und 41b)  
ein mittels des Eingangssignals an einem Basis-Eingang ange-  
steuerter Transistor (411a und 411b) ist.

20 5. Quantisierer nach einem der vorherigen Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
dass jeder Quantisierungs-Zelle (40) ein Schwellwertsignal  
zugeordnet ist, welches sich von den Schwellwertsignalen wei-  
25 terer Quantisierungs-Zellen verschieden ist.

6. Quantisierer nach einem der vorherigen Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
dass die Schwellwertsignale zueinander feste Differenzen auf-  
30 weisen.

7. Quantisierer nach einem der vorherigen Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
dass eine Verstärkungsstufe (48) vorgesehen ist, welche den  
35 Strom am Strom-Knoten (46; 46a, 46b) vor dessen Bewertung  
durch die Vergleichseinheit verstärkt.

8. Quantisierer nach einem der vorherigen Ansprüche,  
dadurch gekennzeichnet,  
dass als Vergleichseinheit (47) ein Latch vorgesehen ist.

5 9. Quantisierer nach einem der vorherigen Ansprüche,  
dadurch gekennzeichnet,  
dass das Latch einen Komparator und eine Sample-and-Hold-  
Vorrichtung aufweist.

10 10. Quantisierer nach einem der vorherigen Ansprüche,  
dadurch gekennzeichnet,  
dass der Quantisierer (2) symmetrisch mit einem positiven und  
einem negativen Signalweg und entsprechend mit einem positiven  
Signal-Eingang (21a) für ein positives Eingangssignal  
15 (INP) und mit einem negativen Signal-Eingang (21b) für ein  
negatives Eingangssignal (INN) ausgestaltet ist.

11. Quantisierer nach Anspruch 8,  
dadurch gekennzeichnet,  
20 dass zwischen dem positiven und dem negativen Signalweg ein  
Gegenkopplungswiderstand („degeneration resistor“) (5) vorge-  
sehen ist.

12. Quantisierer nach einem der vorherigen Ansprüche,  
25 dadurch gekennzeichnet,  
dass jeder Quantisierungs-Zelle eine eigene statische  
Schwellwert-Stromquelle (49; 49a und 49b) zugeordnet ist.

13. Quantisierer (1) für einen Sigma-Delta-Modulator (10) mit  
30 wenigstens einer Vorstufe (2), wobei der Quantisierer ein an  
ihm anliegendes Eingangssignal (21) entsprechend wenigstens  
eines Schwellwertssignals (25) quantisiert und als Ergebnis-  
wert (22) an einem digitalen Ergebnisausgang (23) ausgibt,  
dadurch gekennzeichnet,  
35 dass der Quantisierer (1) wenigstens eine Quantisierungs-  
Zelle (40) entsprechend der Anzahl seiner Auflösungsstufen  
enthält,

wobei jede Quantisierungs-Zelle (40) einen Spannungskomparator (61) aufweist, welcher Spannungskomparator das als Eingangssignal-Spannung (62) anliegende Eingangssignal (21) mit einer ihr zugeordneten Schwellwertsignal-Spannung (63<sub>i</sub>) vergleicht und im Falle des Übersteigens oder Unterschreitens der Schwellwertsignal-Spannung durch die Eingangssignal-Spannung ein entsprechendes digitales Ergebnisbit (0/1) (Q<sub>i</sub>) ausgibt,

wobei ein digitaler Addierer (66) vorgesehen ist, welcher den digitalen Ergebniswert (22) der letzten Bewertung der Komparatoren des Quantisierers (1) auf die einzelnen Schwellwertsignal-Spannungen der Komparatoren aufaddiert, indem er die Schwellwertsignal-Spannungen um dem digitalen Ergebniswert entsprechende Teil-Spannungen (25) erhöht oder verringert.

14. Quantisierer nach Anspruch 13,

d a d u r c h g e k e n n z e i c h n e t,

dass jeder Quantisierungs-Zelle (40) ein Schwellwertsignal zugeordnet ist, welches sich von den Schwellwertsignalen weiterer Quantisierungs-Zellen verschieden ist.

15. Quantisierer nach einem der Ansprüche 13 bis 14,

d a d u r c h g e k e n n z e i c h n e t,

dass ein Referenzspannungsgenerator (65) vorgesehen ist, der die für jeden Spannungskomparator (61) unterschiedlichen Schwellwertsignal-Spannungen (63<sub>i</sub>) generiert, wobei die Schwellwertsignal-Spannungen in Teil-Spannungen (25) wählbar sind.

16. Quantisierer nach einem der Ansprüche 13 bis 15,

d a d u r c h g e k e n n z e i c h n e t,

dass Referenzspannungsgenerator (65) durch eine Widerstandskette (68) ausgebildet ist, deren Teil-Spannungen (25) zu den Schwellwertspannungen (63<sub>i</sub>) zusammengesetzt werden.

17. Quantisierer nach einem der Ansprüche 13 bis 16,

d a d u r c h g e k e n n z e i c h n e t,

dass dem Addierer (66) ein Schaltwerk zugeordnet ist, welches Schaltwerk Schalter (67) aufweist, denen eingangsseitig die Teil-Spannungen (25) des Referenzspannungsgenerators (65) anliegen, und die ausgangsseitig mit den Eingängen ( $V_{th_i}$ ) für die Schwellwertsignal-Spannungen ( $63_i$ ) der Komparatoren (61) verbunden sind, wobei die Schalter durch das Ausgangssignal ( $Add<0:6>$ ) des Addierers gesteuert werden.

18. Quantisierer nach einem der Ansprüche 13 bis 17,  
dadurch gekennzeichnet,  
dass der Referenzspannungsgenerator (65) die Teil-Spannungen (25) generiert, welche mittels Schaltern (67) entsprechend dem digitalen Ergebniswert und/oder der gewünschten Schwellwertsignal-Spannung am jeweiligen Komparator zur Bewertung des Eingangssignals beaufschlagt werden können.

19. Quantisierer nach einem der Ansprüche 13 bis 18,  
dadurch gekennzeichnet,  
dass die Ergebnisbits ( $Q_i$ ) zusammen den Ergebniswert (22) bilden.

20. Quantisierer nach einem der Ansprüche 13 bis 19,  
dadurch gekennzeichnet,  
dass die Schwellwertsignale zueinander feste Differenzen aufweisen.

21. Quantisierer nach einem der Ansprüche 13 bis 20,  
dadurch gekennzeichnet,  
dass der Quantisierer (2) symmetrisch mit einem positiven und einem negativen Signalweg und entsprechend mit einem positiven Signal-Eingang (21a) für ein positives Eingangssignal und mit einem negativen Signal-Eingang (21b) für ein negatives Eingangssignal ausgestaltet ist.

22. Quantisierer nach einem der Ansprüche 13 bis 21,  
dadurch gekennzeichnet,



dass die Komparatoren (61) durch zeitkontinuierliche Spannungskomparatoren ausgebildet sind.

23. Quantisierer nach einem der vorherigen Ansprüche,  
5 d a d u r c h g e k e n n z e i c h n e t,  
dass ein Latch vorgesehen ist, welches das durch die Komparatoren gelieferte Ergebnis speichert.

24. Sigma-Delta-Modulator (10) mit mindestens einer Vorstufe  
10 (2) und mit einem Quantisierer (1) nach einem der vorherigen Ansprüche.

## Zusammenfassung

Bezeichnung der Erfindung: Quantisierer für einen Sigma-Delta-Modulator und Sigma-Delta-Modulator

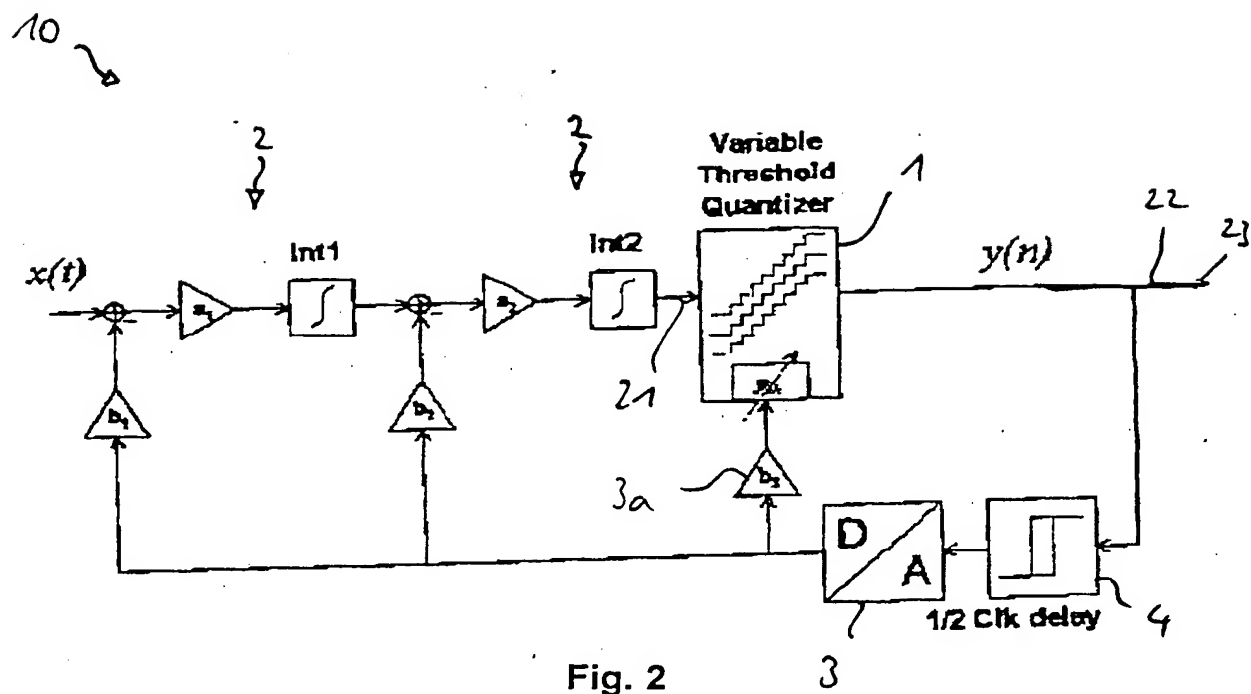
5

Die Erfindung betrifft Quantisierer 1 für einen Sigma-Delta-Modulator 10 mit wenigstens einer Vorstufe 2, wobei der Quantisierer ein an ihm anliegendes Eingangssignal 21 entsprechend wenigstens eines Schwellwertssignals quantisiert und als Ergebniswert 22 an einem digitalen Ergebnisausgang 23

10

ausgibt. Des weiteren betrifft die Erfindung einen Sigma-Delta-Modulator mit einem solchen Quantisierer.

15 Fig. 2



## Bezugszeichenliste

	10	Sigma-Delta-Modulator
5	12	Quantisierer
	13 <sub>i</sub>	Addierer
	14 <sub>i</sub>	Integrierer
	110	Kompensations-Addierer
	IN	Signaleingang
10	OUT	Ergebnis Ausgang
	x	zu wandelndes Signal
	V <sub>i</sub>	Vorstufe
	E <sub>Q</sub>	Eingangssignal
15	1	Quantisierer
	2	Vorstufe
	3	Digital-Analog-Wandler
	4	Verzögerungsglied
	5	Gegenkopplungswiderstand
20	21	zu quantisierendes Eingangssignal
	21a	positiver Signal-Eingang
	21b	negativer Signal-Eingang
	25	Schwellwertssignals
	23	digitaler Ergebnisausgang
25	22	digitaler Ergebniswert
	40	Quantisierungs-Zelle
	41, 41a,b	Eingangs-Spannungs-Strom-Konverter
	411a,b	Transistor
	42	Eingangs-Strom
30	43	Ausgang
	44, 44a,b	Rückkoppel-Stromquelle
	45	Rückkoppel-Strom
	46, 46a,b	Strom-Knoten
	47	Latch, Vergleichseinheit
35	48	Verstärkungsstufe
	49, 49a,b	Schwellwert-Stromquelle
	61	Spannungskomparator

	62	Eingangssignal-Spannung
	Qi	Ergebnisbit
	63 <sub>i</sub>	Schwellwertssignal-Spannung
	65	Referenzspannungsgenerator
5	66	Addierer
	67	Schalter
	68	Widerstandskette
	69	Latch
	Rdeg	Widerstand des Gegenkopplungswiderstands
10		
	91	Widerstandskette
	92	Widerstand
	101, 102	Dioden

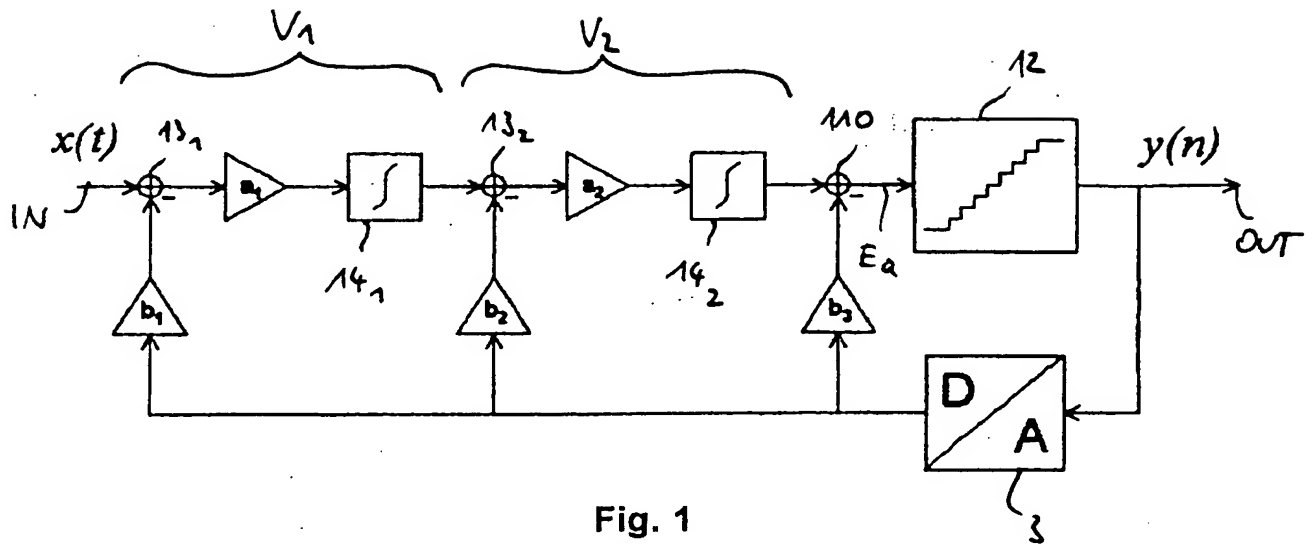


Fig. 1

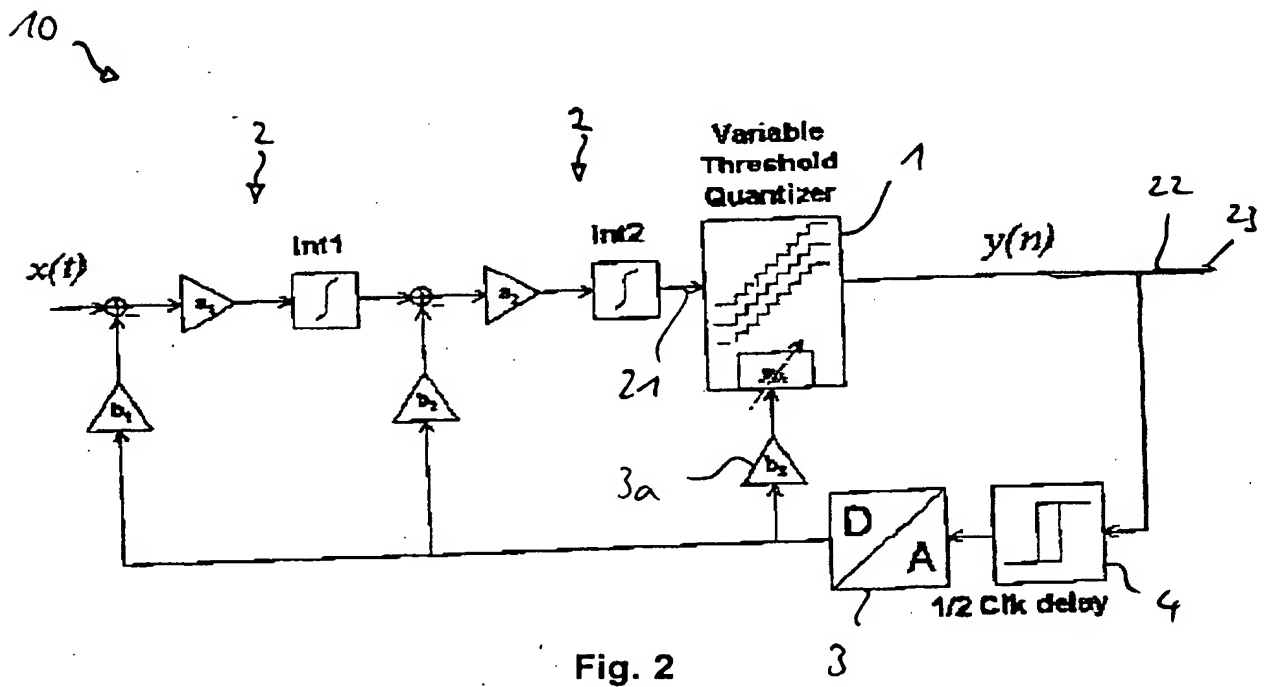


Fig. 2

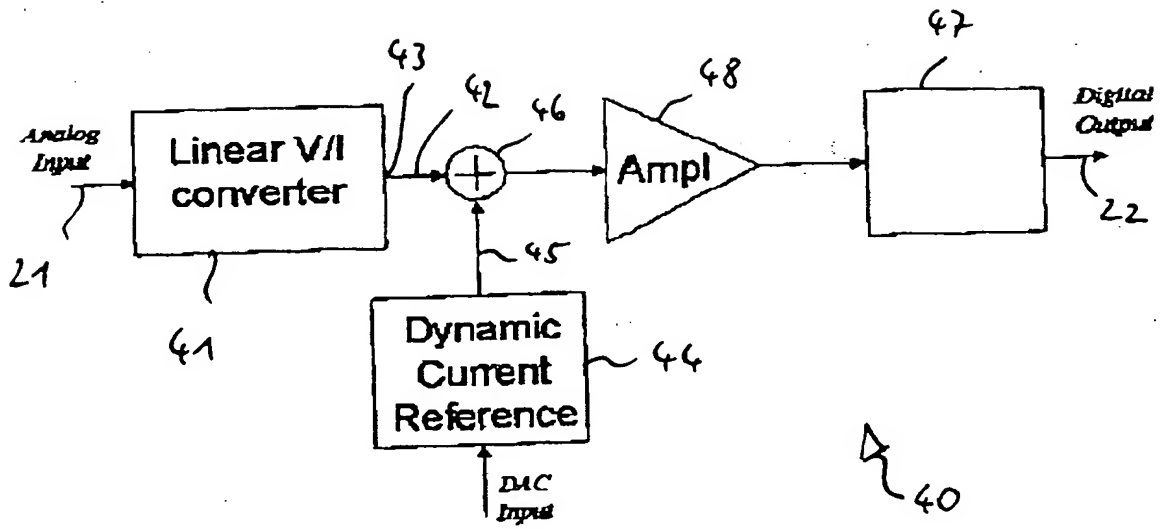


Fig. 3

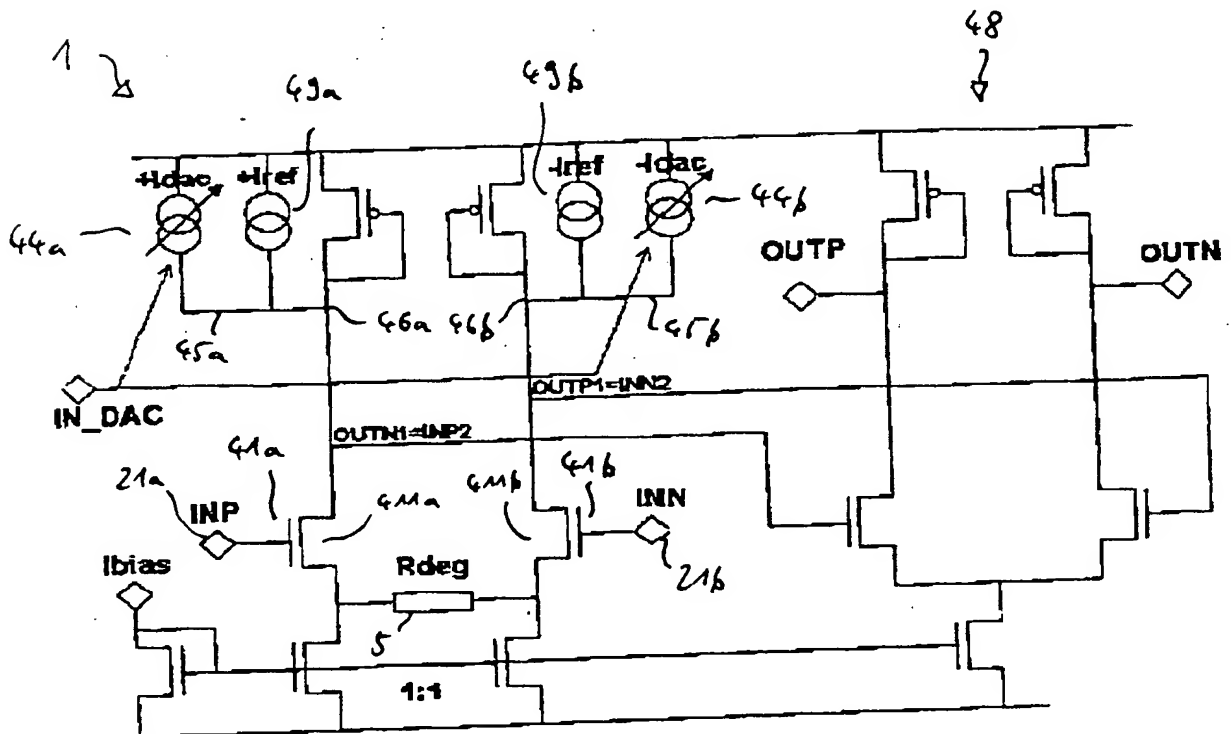


Fig. 4

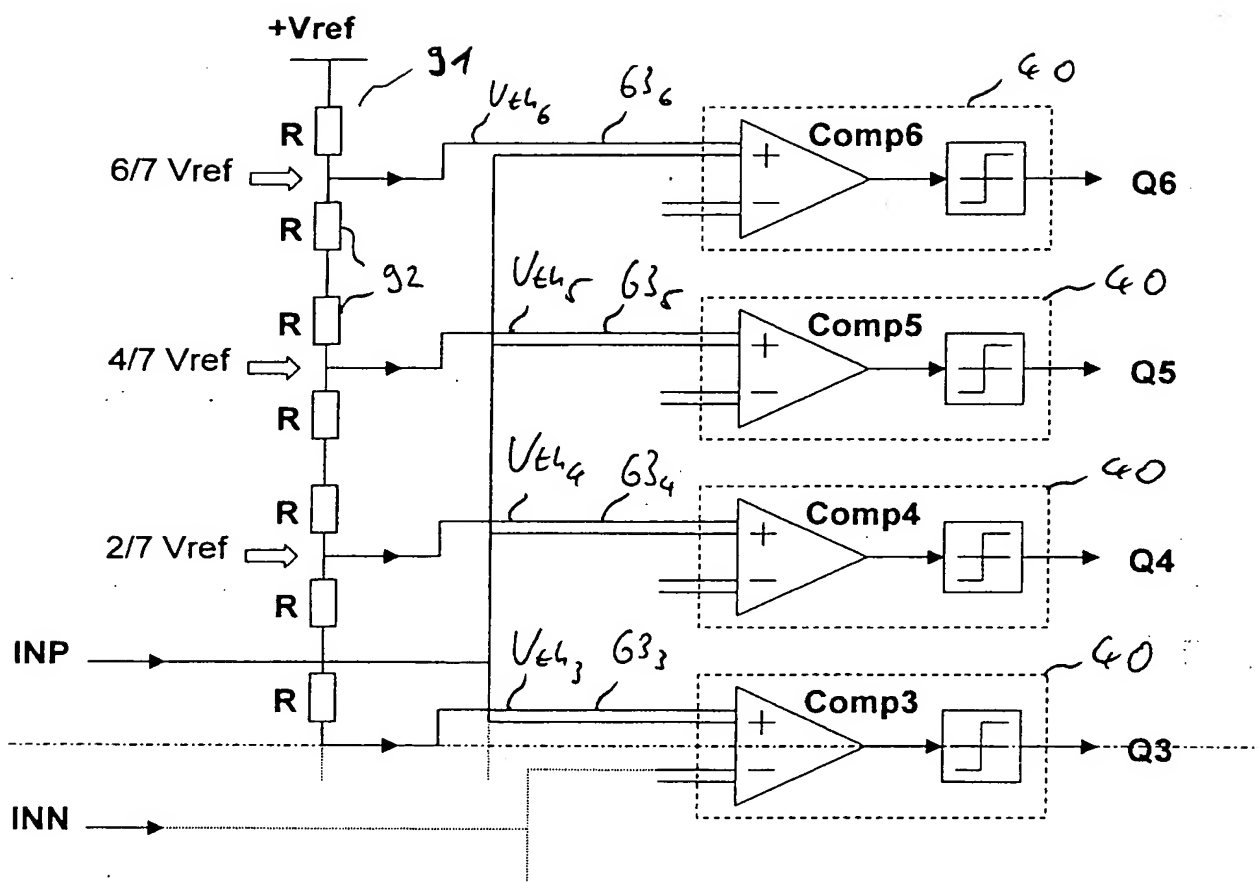


Fig. 5

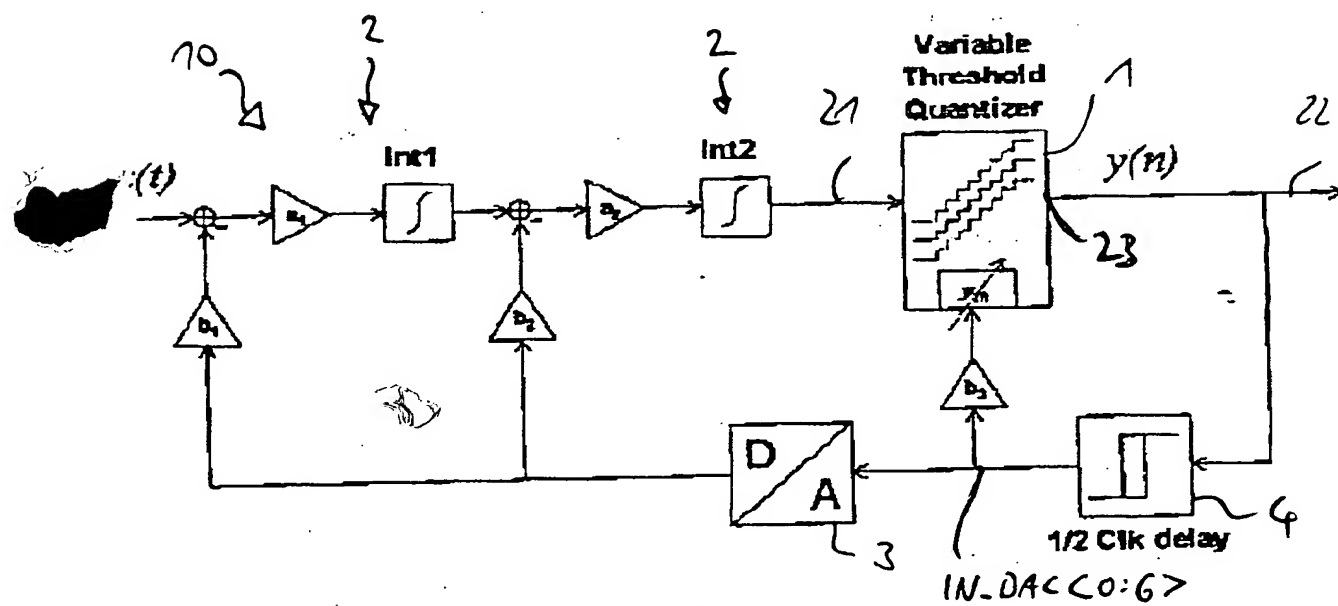


Fig. 5a



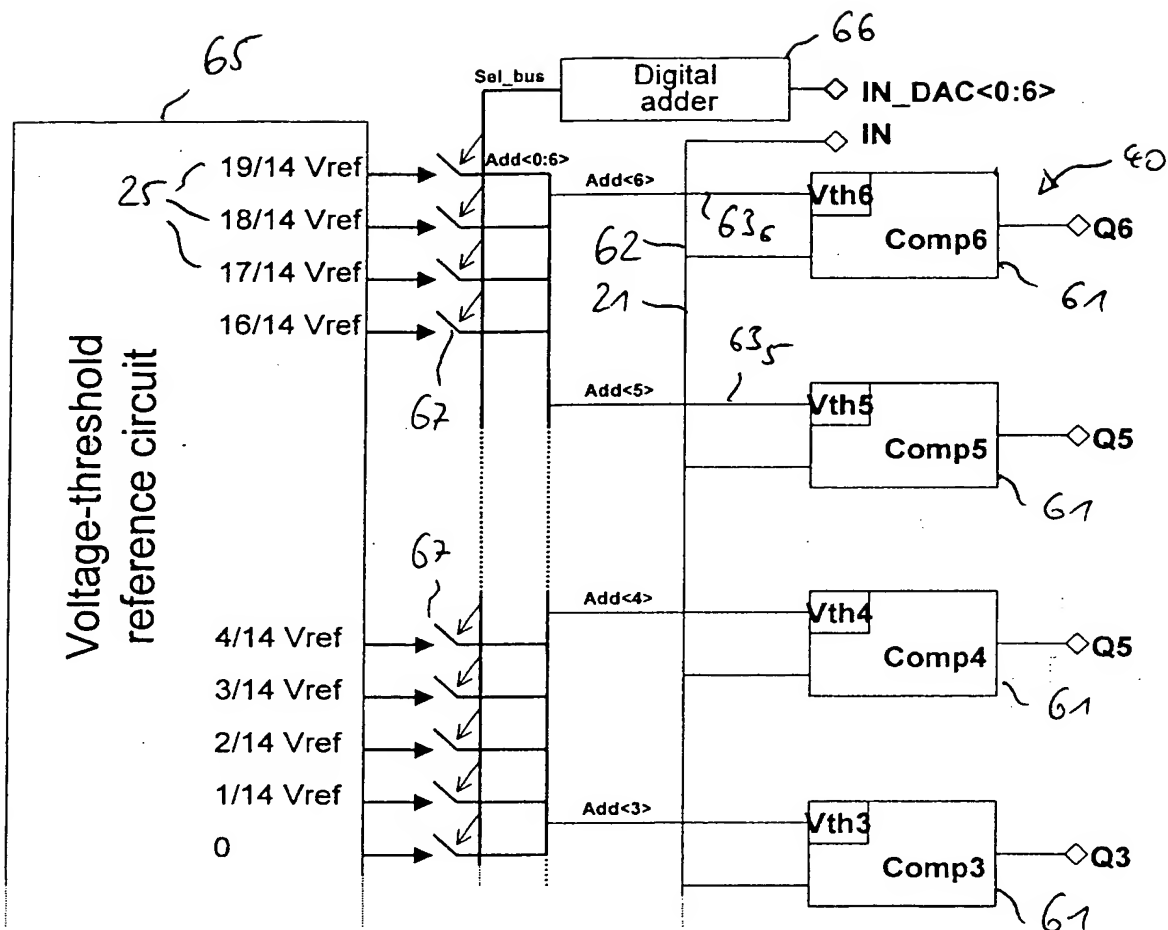


Fig. 6

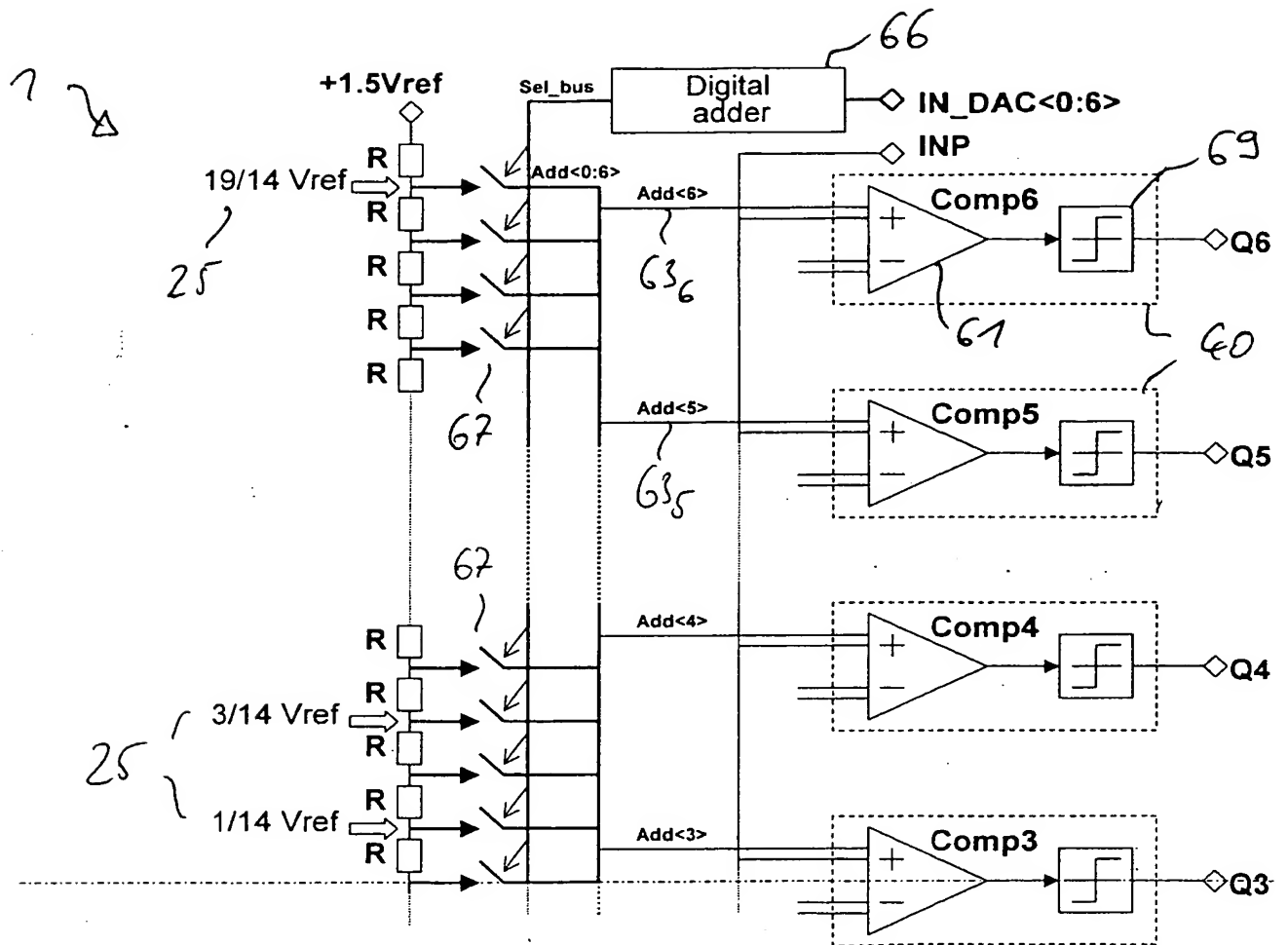


Fig. 7

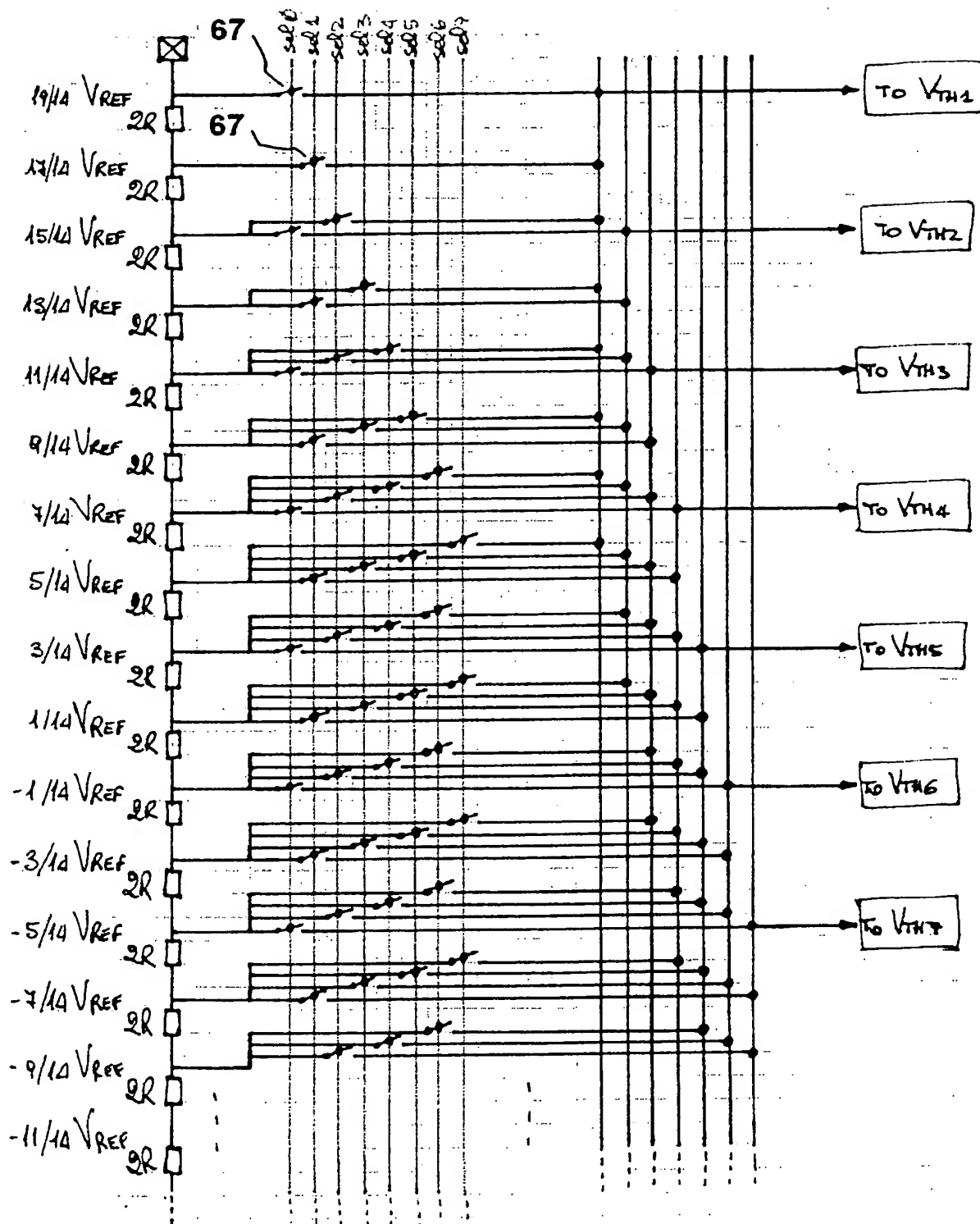


Fig. 8

b3=1/2

IN_DAC<0:6>	dat	sel7	sel6	sel5	sel4	sel3	sel2	sel1	sel0
=0000000	0	1	0	0	0	0	0	0	0
=0000001	1	0	1	0	0	0	0	0	0
=0000011	2	0	0	1	0	0	0	0	0
=0000111	3	0	0	0	1	0	0	0	0
=0001111	4	0	0	0	0	1	0	0	0
=0011111	5	0	0	0	0	0	1	0	0
=0111111	6	0	0	0	0	0	0	1	0
=1111111	7	0	0	0	0	0	0	0	1

b3=1/2

	NOM (if b3=0)	dat=0	dat=1	dat=2	dat=3	dat=4	dat=5	dat=6	dat=7
		-7/14	-5/14	-3/14	-1/14	+1/14	+3/14	+5/14	+7/14
Vth1	+6/7	+5/14	+7/14	+9/14	+11/14	+13/14	+15/14	+17/14	+19/14
Vth2	+4/7	+1/14	+3/14	+5/14	+7/14	+9/14	+11/14	+13/14	+15/14
Vth3	+2/7	-3/14	-1/14	+1/14	+3/14	+5/14	+7/14	+9/14	+11/14
Vth4	0	-7/14	-5/14	-3/14	-1/14	+1/14	+3/14	+5/14	+7/14
Vth5	-2/7	-11/14	-9/14	-7/14	-5/14	-3/14	-1/14	+1/14	+3/14
Vth6	-4/7	-15/14	-13/14	-11/14	-9/14	-7/14	-5/14	-3/14	-1/14
Vth7	-6/7	-19/14	-17/14	-15/14	-13/14	-11/14	-9/14	-7/14	-5/14

Fig. 9

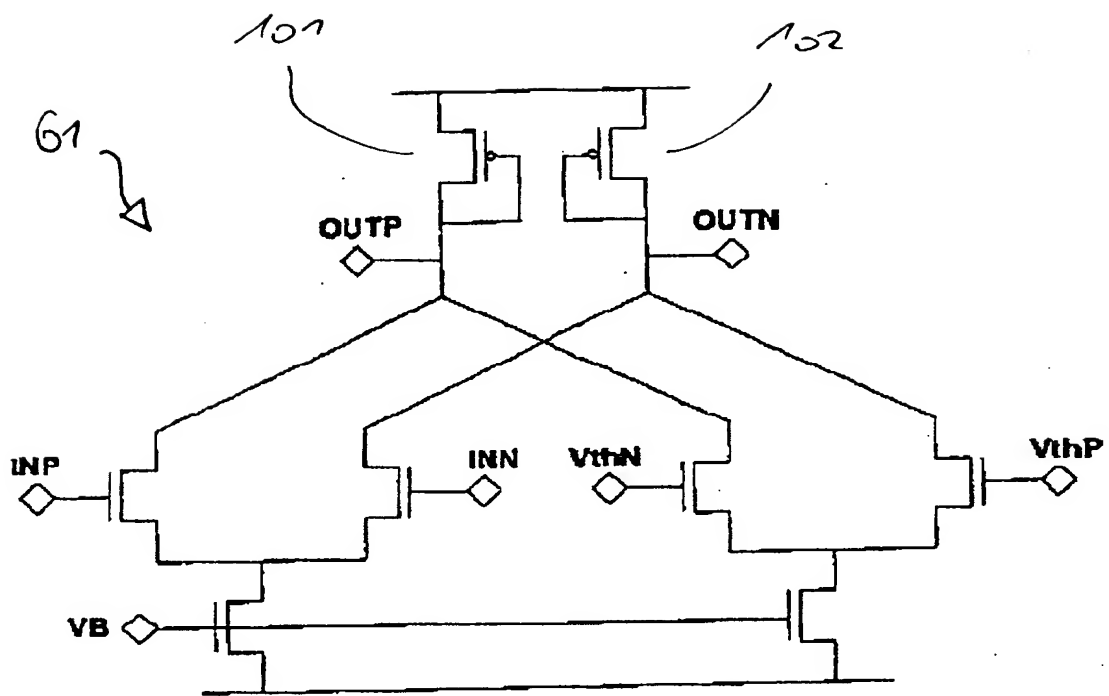


Fig. 10